

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-264451

(43)Date of publication of application : 19.09.2003

(51)Int.Cl.

H03H 17/06

H03H 17/00

(21)Application number : 2002-066488

(71)Applicant : OKI ELECTRIC IND CO LTD
OKI MICRO DESIGN CO LTD

(22)Date of filing : 12.03.2002

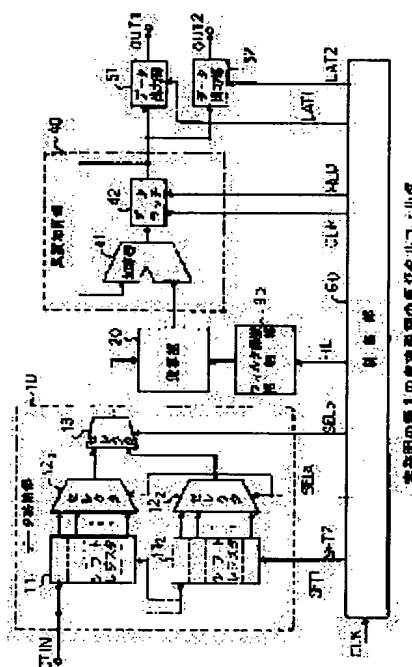
(72)Inventor : MATOBA KENJIRO

(54) DIGITAL FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital filter for a multi-channel capable of processing pieces of input data in different sampling frequencies and the circuit scale of which is simplified.

SOLUTION: Pieces of the time-division multiplexed input data DTIN are stored in shift registers 111, 112 for every channel according to control of a control part 60. For example, pieces of the input data of a first channel stored in the shift register 111 are successively read by the control of the control part 60 and multiplied by a filter coefficient to be outputted from a filter coefficient storage part 30 in a multiplication part 20. These multiplication results are added by an accumulated adder part 40, the added results are latched by a data output part 51 and outputted as the output data OUT1.



LEGAL STATUS

[Date of request for examination]

26.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

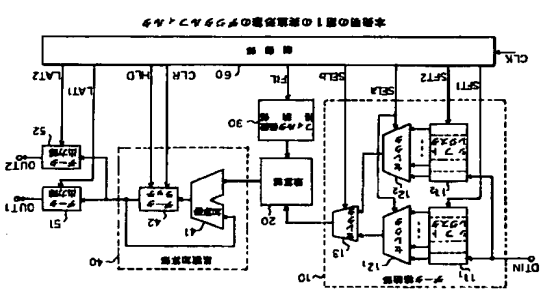
(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許公開調査番号
特開2003-284451
(P2003-284451A)
(43)公開日 平成15年9月19日(2003.9.19)

(5)InCl'	識別記号	F I	テコッド(参考)
H03H 17/06	655	H03H 17/06	655B
	671		671Z
17/00	621	17/00	621E

審査請求 有	請求項の数	OL (全12頁)
(21)出願番号	特願2002-66488(P2002-66488)	(71)出願人 00000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成14年3月12日(2002.3.12)	(71)出願人 59104983 株式会社 沖マイクロデザイン 宮城県宮城郡青町大字木原7083番地 的場 健二郎
		(72)発明者 株式会社沖マイクロデザイン内 10008807 伊理士 祐成

(54)【発明の名称】 デジタルフィルタ

(57)【要約】
【課題】 サンプリング周波数の異なる入力データを処理することが可能で、回路規模を簡素化した多チャンネル用のデジタルフィルタを提供する。
【解決手段】 時分割多重化された入力データDTINは、制御部60の制御に従って、チャンネル毎にシフトレジスタ111、112に格納される。例えば、シフトレジスタ111に格納された第1チャンネルの入力データは、制御部60の制御によって順次読み出され、乗算部20においてフィルタ係数格納部30から出力される乗算部40で加算され、その乗算結果はデータ出力部51にラッチされて、出力データOUT1として出力される。



【特許請求の範囲】
【請求項1】 複数のチャンネルの入力データが時分割多重化された入力信号が与えられ、各チャンネル毎に最新の複数のチャンネルの入力データを格納すると共に、その格納された入力データを選択信号に従って出力するデータ格納部と、
前記複数のチャンネルの入力データに対応して予め設定されたフィルタ係数が格納されたフィルタ係数格納部と、
前記データ格納部から順次読み出された入力データに、この入力データに対応して前記フィルタ係数格納部から読み出されたフィルタ係数を掛け合わせる乗算部と、
各チャンネル毎に前記乗算部から出力される乗算結果の乗算結果を加算する累加部と、
各チャンネル毎に前記累加部の加算結果を保持して出力データとして出力するデータ出力部と、
前記データ格納部に前記入力信号が与えられる毎に、該入力信号のチャンネルに対応する複数のチャンネルの入力データを選択するための前記選択信号を生成すると共に、該選択信号に対して前記フィルタ係数格納部、前記累加部、前記乗算部及び前記データ出力部に対する動作制御信号を生成する制御部とを、
備えたことを特徴とするデジタルフィルタ。
【請求項2】 複数のチャンネルの入力データが時分割多重化された入力信号及び該入力データの同期信号を補間する補間信号が切り替えて与えられ、各チャンネル毎に最新の複数のチャンネルの入力データと補間処理された補間データを格納すると共に、その格納された入力データ及び補間データを選択信号に従って出力するデータ格納部と、
前記複数のチャンネルの入力データ及び補間データに対応して予め設定されたフィルタ係数が格納されたフィルタ係数格納部と、
前記データ格納部から順次読み出される入力データ及び補間データに、対応して前記フィルタ係数格納部から読み出されるフィルタ係数を掛け合わせる乗算部と、
各チャンネル毎に前記乗算部から出力される乗算結果の乗算結果を加算する累加部と、
各チャンネル毎に前記累加部の加算結果を保持して出力データとして出力するデータ出力部と、
前記入力信号と前記補間信号を切り替え、前記データ格納部に前記入力信号が与えられる毎に該入力信号のチャンネルに対応する複数のチャンネルの入力データ及び補間データを順次選択するための前記選択信号を生成すると共に、該選択信号に対して前記フィルタ係数格納部、前記累加部、前記乗算部及び前記データ出力部に対する動作制御信号を生成する制御部とを、
備えたことを特徴とするデジタルフィルタ。
【請求項3】 前記入力データのレベルを変更して前記出力データを生産するための出力係数を格納する出力係数格納部を設けると共に、
前記制御部は、前記データ格納部に前記入力信号が与え

られる毎に、その入力データに前記出力係数を掛け合わせて該データ格納部に格納させるように、該データ格納部、前記乗算部及び前記累加部を制御する構成にしたことを、
【請求項4】 前記複数のチャンネルの出力データを所定の割合で融合して融合出力データを生産するためのパン係数を格納するパン係数格納部と、前記累加部において前記複数のチャンネルの加算結果を保持するレジスタとを、設けると共に、
前記制御部は、前記レジスタに保持された複数のチャンネルの加算結果に前記パン係数を掛け合わせて前記融合出力データを生産して前記データ出力部に保持させるように、前記データ格納部、前記乗算部、前記累加部及び前記データ出力部を制御する構成にしたことを、
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、例えば、デジタル化された音声信号にデジタル処理を施すデジタルフィルタ、特に複数のチャンネルを同時に処理可能なデジタルフィルタに関するものである。
【0002】
【従来の技術】 図2は、従来のデジタルフィルタの一例を示す構成図である。このデジタルフィルタは、第1チャンネルの入力データIN1と、第2チャンネルの入力データIN2を、同じクロック信号CLKに同期してシフトして保持するシフト部1、2を有している。シフト部1、2は、それぞれ複数のシフトレジスタ(SR)を縦続接続した構成となっており、各シフトレジスタの出力データと入力データIN1、IN2が、マルチプレクサ(MUX)3の入力側に与えられるようになっている。
【0003】 マルチプレクサ3は、クロック信号CLKの"H"、"L"のレベルに従って、シフト部1、2の出力データを交互に選択して出力するもので、このマルチプレクサ3の出力側が、FIR (Finite Impulse Response) フィルタ部4に接続されている。FIR フィルタ部4は、マルチプレクサ3から出力される各データにそれぞれフィルタ係数を乗ずる乗算器(MUL)と、これらの乗算結果の乗算結果を加算する複数の加算器で構成されている。FIR フィルタ部4の出力側には、出力部5が接続されている。
【0004】 出力部5は、2つのフリップフロップ(F)とインバータで構成され、クロック信号CLKに従ってFIR フィルタ部4の出力データを保持し、第1チャンネル及び第2チャンネルに対する出力データOUT1、OUT2を出力するものである。
【0005】 このようなデジタルフィルタでは、クロック

与えられる。これにより、シフトレジスタ111に保持されていた過去の第1チャンネルのデータが順次後段にシフトされると共に、初段には最新のデータCH1が格納される。また、制御部60からデータ格納部10のセクタ113に対して、第1チャンネル（即ち、セクタ112）側を選択させるための選択信号SELbが出力される。更に、制御部60から累加算部40のデータラッチ42の内容は、消去されて0になる。

【0034】この後の動作は、第1チャンネルの場合と同様である。そして、シフトレジスタ112に格納された第2チャンネルのデータに対するフィルタ処理が終了すると、制御部60からデータ出力部52に対して、ラッチ信号LAT2が出力される。これにより、累加算部40のデータラッチ42に保持されているデータが、データ出力部52に保持されて出力データOUT2として出力される。

【0035】以上のように、この第1の実施形態のデジタルフィルタは、時間分割多重化されて入力される入力データDTINのチャンネル毎に、そのデータをシフトして保持する2つのシフトレジスタ111、112を有している。そして、これらのシフトレジスタ111、112に保持されたデータを順次読み出してフィルタ処理を行うための、乗算部20、フィルタ係数格納部30及び累加算部40を有している。これにより、入力されるチャンネルに応じたフィルタ処理を行うことができる。サンプリング周波数の異なる複数チャンネルのフィルタ処理が可能になるという利点がある。更に、乗算部20と累加算部40は、入力されるチャンネル数やシフトレジスタ111等の段数に拘らず、それぞれ1組だけであるので、回路規模を簡素化することができるという利点がある。

【0036】（第2の実施形態）図4は、本発明の第2の実施形態を示すデジタルフィルタの構成図である。このデジタルフィルタは、入力データDTINの1サンプルのデジタルフィルタリング周波の間に、補間データを挿入して出力データを生成する補間処理機能を備えたもので、図1中の要素と共通の要素には共通の符号が付されている。

【0037】このデジタルフィルタでは、図1中のデータ格納部10に代えて、補間データを生成するための機能追加されたデータ格納部10Aを設けると共に、これに対応して機能が追加された制御部60Aを設けた構成となっている。

【0038】データ格納部10Aは、制御部60Aから与えられる制御信号COMに基いて、入力データDTINと補間の間の“0”データを切り替えて入力するセクタ114を有している。セクタ114の出力側には、それぞれ第1チャンネルと第2チャンネルに対応したシフトレジスタ111、112が接続されており、制御部60Aから与えられるシフト信号SFT1、SFT2に従って、セクタ114から与えられるデータを保持すると共に、今までに保持していたデータを順次シフトして過去の複数のデータを格納するようにになっている。

【0039】シフトレジスタ111、112の各段の出力データCH2が出力されると、制御部60Aからデータラッチ42に保持されているデータが、データ出力部51に保持されて出力データOUT1として出力される。

【0040】次に、入力データDTINに格納された第1チャンネルのデータが出力されると、制御部60Aからデータ格納部10のシフトレジスタ112にシフト信号SFT2が与えられる。これにより、シフトレジスタ112に保持されていた過去の第2チャンネルのデータが順次にシフトされると共に、初段には最新のデータCH2が格納される。また、制御部60Aからデータ格納部10

力側は、それぞれセクタ112、112の出力側に接続されている。セクタ112、112は、制御部60Aから与えられる選択信号SELaに基いて、それぞれシフトレジスタ111、112の出力データを選択して出力するものである。

【0040】更に、このデータ格納部10Aは、累加算部40によってフィルタ処理が施されてフィードバックされるデータを、制御部60Aから与えられるシフト信号SFT3、SFT4に基いて保持すると共に、今までの保持したデータを順次シフトして過去の複数個のデータを格納する補間処理用のシフトレジスタ151、152を有している。

【0041】シフトレジスタ151、152の各段の出力側は、それぞれセクタ161、162の入力側に接続されている。セクタ161、162は、制御部60Aから与えられる選択信号SELaに基いて、それぞれシフトレジスタ151、152の出力データを選択して出力するものである。

【0042】セクタ112、112、161、162の出力側は、セクタ117の入力側に接続されている。セクタ117は、制御部60Aから与えられる選択信号SELb、SELcに基いて、セクタ112、162のいずれか1つの出力データを選択して出力するもので、このセクタ117の出力データが乗算部20の一方の入力側に接続されている。その他の構成は、図1と同様である。

【0043】図5は、図4の動作を示すタイミングチャートである。以下、この図5を参照しつつ、図4の動作を説明する。入力データDTINに第1チャンネルのデータCH1が入力されると、制御部60Aからデータ格納部10Aのセクタ114に、入力データDTIN側を選択するための制御信号COMが与えられ、更に、制御部60Aからデータ格納部10Aのシフトレジスタ111にシフト信号SFT1が与えられ、これにより、シフトレジスタ111に保持されていた過去の第1チャンネルのデータが順次にシフトされると共に、初段には最新のデータCH1が格納される。また、制御部60Aからデータ格納部10Aのセクタ117に対して、セクタ112側を選択させるための選択信号SELb、SELcが出力される。これと同時に、制御部60Aから累加算部40にクリア信号CLRが与えられ、累加算部40のデータラッチ42の内容は、消去されて0になる。

【0044】次に、制御部60Aからデータ格納部10Aのセクタ112に対して、1番目のデータを選択させるための選択信号SELaが出力されると共に、フィルタ係数格納部30に対して、1番目のフィルタ係数を選択して出力させるための制御信号F1Lが出力される。これにより、シフトレジスタ111の1番目のデータと、フィルタ係数格納部30の1番目のフィルタ係数

が乗算部20によって掛け合わされ、その乗算結果が累加算部40に出力される。累加算部40の加算器41では、乗算部20から与えられた乗算結果とデータラッチ42に保持されている累算結果（この場合は、0）が加算される。この時点で、制御部60Aからデータラッチ42に保持信号HLDが与えられ、加算器41の加算結果が新たな累算結果として、このデータラッチ42に保持される。

【0045】その後、制御部60Aからセクタ112、112に対して、2番目、3番目、…のデータを選択させるための選択信号SELaと共に、フィルタ係数格納部30に対して、2番目、3番目、…のフィルタ係数を選択して出力させるための制御信号F1Lが、順次出力される。これにより、シフトレジスタ111の2番目、3番目、…のデータと、フィルタ係数格納部30の2番目、3番目、…のフィルタ係数が乗算部20によってそれぞれ掛け合わされる。そして、これらの乗算結果は、制御部60Aから順次与えられる保持信号HLDに従って、累加算部40で累算加算されて保持される。

【0046】シフトレジスタ111に格納された第1チャンネルのデータに対するフィルタ処理が終了すると、制御部60Aからデータ格納部10Aのシフトレジスタ151に対するシフト信号SFT3が与えられ、これにより、シフトレジスタ151に保持されていた過去の第1チャンネルのフィルタ処理が施されたデータが順次にシフトされると共に、初段にはフィルタ処理が施された最新のデータが格納される。また、制御部60Aからセクタ117に対して、セクタ151側を選択させるための選択信号SELb、SELcが出力される。これと同時に、制御部60Aから累加算部40のクリア信号CLRが与えられ、累加算部40のデータラッチ42の内容は、消去されて0になる。

【0047】次に、制御部60Aからデータ格納部10Aのセクタ161に対して、1番目のデータを選択させるための選択信号SELaが出力されると共に、フィルタ係数格納部30に対して、a番目のフィルタ係数を選択して出力させるための制御信号F1Lが出力される。これにより、シフトレジスタ151の1番目のデータと、フィルタ係数格納部30のa番目のフィルタ係数が乗算部20によって掛け合わされ、その乗算結果が累加算部40に出力される。累加算部40の加算器41では、乗算部20から与えられた乗算結果とデータラッチ42に保持されている累算結果（この場合は、0）が加算される。この時点で、制御部60Aからデータラッチ42に保持信号HLDが与えられ、加算器41の加算結果が新たな累算結果として、このデータラッチ42に保持される。

【0048】その後、制御部60Aからデータ格納部10Aのセクタ161に対して、2番目、3番目、…のデータを選択させるための選択信号SELaと共に、フ

【0053】そして、次に入力データDTINに第2チャンネルのデータCH2が入力されると、制御部60Aからセレクト17に対して、セレクト12、16、2を、第1チャンネルと同様の処理が行われる。

【0054】以上のように、この第2の実施形態のデジタルフィルタは、補間処理を行うことができる構成のデータ格納部10Aと、これを制御するための制御部60Aを有している。これにより、第1の実施形態の利点に加えて、補間処理によってよりスムーズな出力データOUT1、OUT2を出力することができるという利点がある。

【0055】(第3の実施形態) 図6は、本発明の第3の実施形態を示すデジタルフィルタの構成図である。このデジタルフィルタは、第2の実施形態と同様の補間処理機能に加えて、出力レベルを制御するボリューム処理機能と、複数のチャンネルの入力データを所定の割合で混合した出力データを生産するパン処理機能を備えたもので、図4中の要素と共通の要素には共通の符号が付けられている。

【0056】このデジタルフィルタは、図4のデータ格納部10Aに代えて構成の異なるデータ格納部70を設けている。更に、フィルタ係数格納部30に加えて出力係数格納部31及びパン係数格納部32を設けると共に、これらのフィルタ係数格納部30、出力係数格納部31及びパン係数格納部32の各係数を切り替えて乗算部20に与えるためのセレクト33を有している。そして、これに対応して機能が追加された制御部60Bを設けた構成となっている。

【0057】データ格納部70は、制御部60Bから与えられる制御信号COMに従って、入力データDTINと補間の“0”データを切り替えて入力するセレクト71を有している。セレクト71の出力側には、第1チャンネルと第2チャンネルに対応したボリューム処理のためのレジスタ(REG)721、722が接続されている。更に、このデータ格納部70は、フィルタ処理のためのシフトレジスタ(SRG)731、732、補間処理のためのレジスタ751、752を有している。

【0058】シフトレジスタ731、732、741、742は、累加部40で処理されてフィードバックされたデータで、それぞれ制御部60Bから与えられるシフト信号SFT1、SFT2、SFT3、SFT4に従って保持すると共に、今までに保持したデータを順次シフトして過去の複数のデータのデータを格納するものである。また、レジスタ751、752は、累加部40で処理されてフィードバックされたデータを保持するものである。

【0059】シフトレジスタ731、732の各段の出力側は、それぞれセレクト(SEL)761、762の出力データDTINに対する動作と同様である。

入力側に接続され、シフトレジスタ741、742の各段の出力側は、それぞれセレクト771、772の入力側に接続されている。セレクト761～772は、制御部60Bから与えられる選択信号SELaに従って、それぞれシフトレジスタ731～742の各段のデータを選択して出力するものである。

【0060】セレクト761～772とレジスタ721～752の出力側は、セレクト78の入力側に接続されている。セレクト78は、制御部60Bから与えられる選択信号SELb、SELc、SELdに従って、入力側のデータのいずれかを一つを選択して出力するものであり、このセレクト78の出力側が、累加部20の一の入力側に接続されている。その他の構成は、図4と同様である。

【0061】図7は、図6の動作を示すタイミングチャートである。以下、この図7を参照しつつ、図6の動作を説明する。入力データDTINに第1チャンネルのデータCH1が入力されると、制御部60Bからデータ格納部70のセレクト71に、入力データDTIN側を選択するための制御信号COMが与えられ、このデータCH1がレジスタ721に保持される。また、制御部60Bから累加部40にクリップ信号CLRが与えられ、累加部40の保持内容は消去されて0になる。

【0062】次に、制御部60Bからセレクト78に対して、レジスタ721を選択するための選択信号SELb、SELc、SELdが与えられ、共に、セレクト33に対して、出力係数格納部31を選択するための選択信号SELcが与えられ、これにより、累加部20において、レジスタ721から出力されたデータCH1に、出力係数格納部31から出力されたボリューム係数が掛け合わされる。累加部20の乗算結果は累加部40に保持され、データ格納部70にフィードバックされる。この時点で、制御部60Bからシフトレジスタ731に対してシフト信号SFT1が与えられ、このシフトレジスタ731に保持されていた過去の第1チャンネルのボリューム処理されたデータが順次後段にシフトされ、初段には最新のボリューム処理されたデータが格納される。

【0063】シフトレジスタ731に最新のデータが格納された後、制御部60Bによってセレクト78がセレクト761側に切り替えられ、共に、セレクト33がフィルタ係数格納部30側に切り替えられる。そして、シフトレジスタ731に格納された第1チャンネルのボリューム処理されたデータに基づいて、第2の実施形態と同様のフィルタ処理が行われる。

【0064】第1チャンネルのフィルタ処理が終了すると、その結果はシフトレジスタ741に格納され、今度はこのシフトレジスタ741に格納されているフィルタ処理が施されたデータに基づいて、第2の実施形態と同様の補間処理が行われる。第1チャンネルの補間処理が

終了すると、その補間処理の結果はレジスタ751に格納される。

【0065】次に、レジスタ751に格納された第1チャンネルのデータと、レジスタ752に格納された第2チャンネルのデータが順次読み出され、乗算部20において、パン係数格納部32から出力される、それぞれのパン係数と掛け合わされる。それぞれのパン係数が乗算された第1チャンネルのデータは、累加部40において加算され、データ出力部51に保持されて出力データOUT1として出力される。

【0066】同様に、入力データDTINに第2チャンネルのデータCH2が入力された場合には、レジスタ722、752、及びシフトレジスタ732、742等によって第1チャンネルと同様の処理が行われ、データ出力部52に処理結果のデータが保持されて出力データOUT2が出力される。

【0067】以上のように、この第3の実施形態のデジタルフィルタは、補間処理に加えてボリューム処理とパン処理を行うことができる構成のデータ格納部70と、出力係数格納部31及びパン係数格納部32等と、これを制御するための制御部60Bを有している。これにより、複数の実施形態の利点に加えて、出力レベルを制御したり、複数の実施形態の利点を得ることができるという利点がある。

【0068】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(a) 図1、図4及び図6中のデータ格納部10、10A、70は、機能を簡潔に説明するための構成例であり、図示した構成に限定されない。例えば、メモリを用いて適切なアドレス制御をすることにより、同様の機能を果たす構成にすることができる。

【0069】(b) 図6のデジタルフィルタは、補間処理機能、ボリューム処理機能、及びパン処理機能すべてを備えているが、必要に応じて、いずれか一つまたは二つの機能を備えた構成にすることができる。

【0070】(c) 図6中のパン係数格納部32において、第1チャンネルと第2チャンネルのパン係数を、それぞれ50%に設定することにより、ミキシング処理を行うことができる。

【0071】(d) 入力データDTINは、第1チャンネルと第2チャンネルのデータが時分割多重化されたものとして説明したが、3チャンネル以上のデータに対しても同様に適用可能である。その場合は、例えばデータ格納部10のシフトレジスタ11及びセレクト12を、チャンネル数分だけ増設すれば良い。

【0072】

【発明の効果】 以上詳細に説明したように、第1の発明によれば、複数のチャンネルに対してそれぞれ最新の複数の入力データを格納するデータ格納部と、このデータ

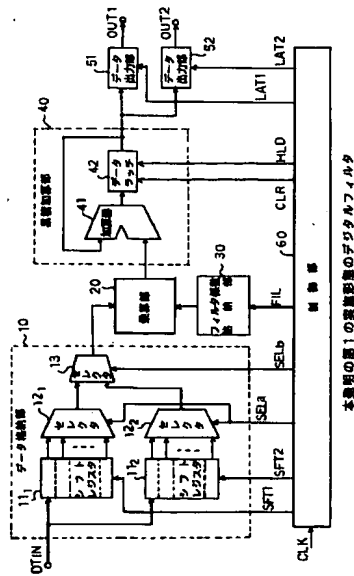
格部から順次入力データを読み出してフィルタ係数を乗算して累加算するための乗算部、累積加算部及び制御部を有している。これにより、各チャンネルのサンプリング周波数が異なってもフィルタ処理が可能で、更にフィルタ処理のための回路構成を簡素化できるという効果がある。

【0073】第2の発明によれば、入力データに加えて補間データを格納するデータ格納部を設けている。これにより、第1の発明と同様の効果に加えて、補間処理を行うことができるという効果がある。

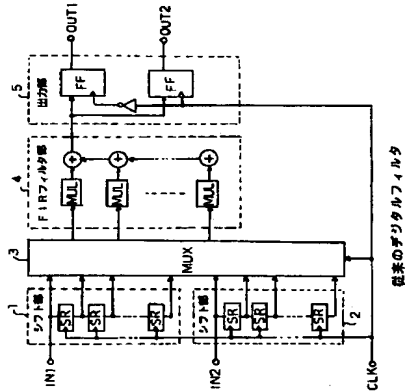
【0074】第3の発明によれば、出力係数を格納する出力係数格納部を有し、入力データにこの出力係数を乗算してフィルタ処理を行うようにしている。これにより、第1または第2の発明の効果に加えて、出力レベルを簡単に調整することができるという効果がある。

【0075】第4の発明によれば、パン係数を格納するパン係数格納部を有し、出力データにこのパン係数を乗算して混合出力データを生成するようにしている。これにより、第1～第3の発明の効果に加えて、ミキシングした出力データを簡単に生成することができるという効果がある。

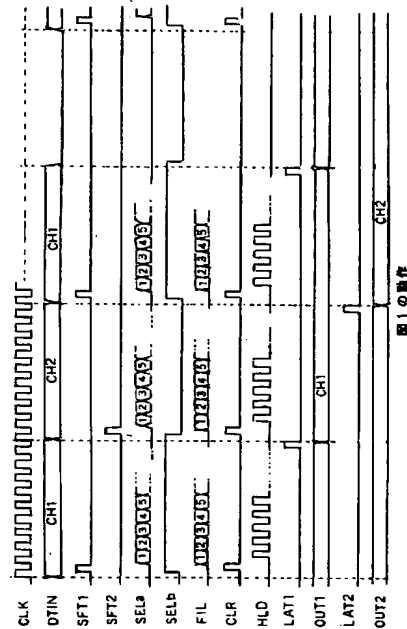
【図1】



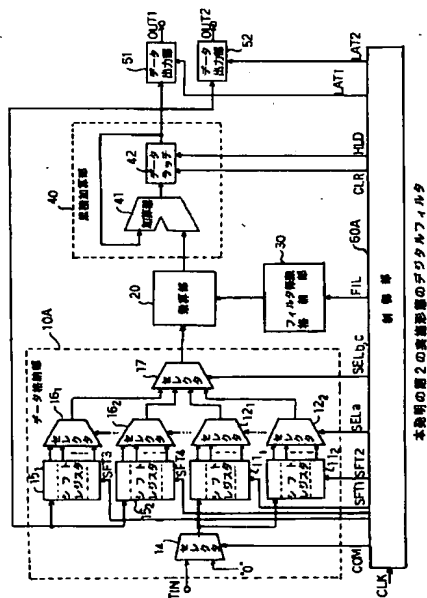
【図2】



【図3】

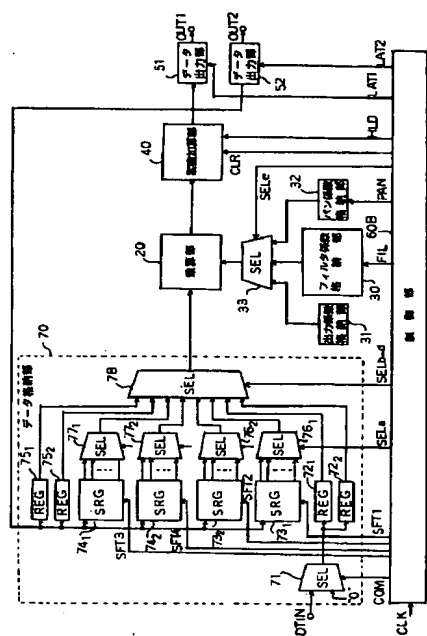


【图4】



本発明の第2の実施形態のデジタルフィルタ

【図6】



本発明の第3の実施形態のデジタルフィルタ

【图7】

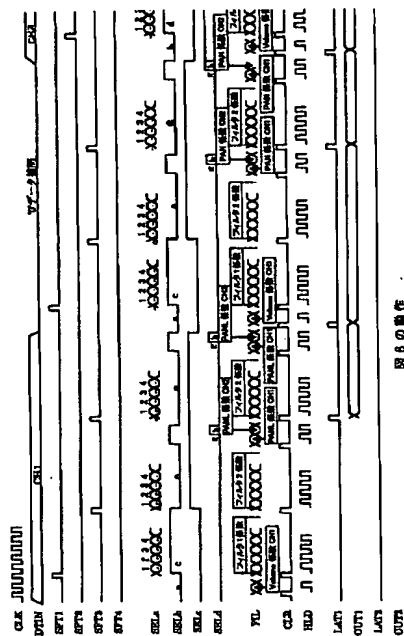
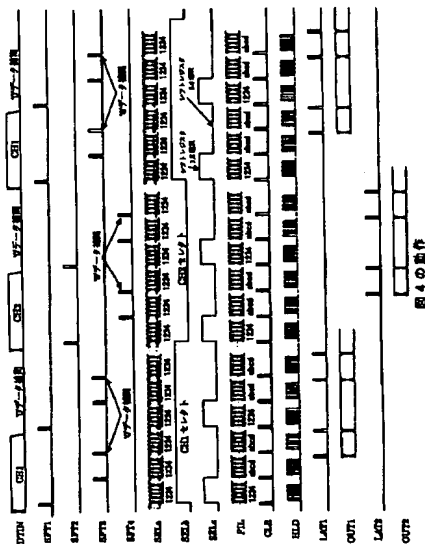


図 8 の創作

【☒5】



448